

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

15368099

Basic Patent (No,Kind,Date): JP 11184440 A2 19990709 <No. of Patents: 002 >

DRIVING CIRCUIT FOR LIQUID DRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): MAEKAWA TOSHIICHI

IPC: *G09G-003/36; G02F-001/133

Derwent WPI Acc No: *G 99-448446; G 99-448446

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 11184440	A2	19990709	JP 97356577	A	19971225 (BASIC)
US 6275210	BA	20010814	US 189790	A	19981112

Priority Data (No,Kind,Date):

JP 97356577 A 19971225

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06242866 **Image available**

DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **11-184440** [JP 11184440 A]

PUBLISHED: July 09, 1999 (19990709)

INVENTOR(s): MAEKAWA TOSHIICHI

APPLICANT(s): SONY CORP

APPL. NO.: 09-356577 [JP 97356577]

FILED: December 25, 1997 (19971225)

INTL CLASS: G09G-003/36; G02F-001/133

ABSTRACT

PROBLEM TO BE SOLVED: To make a plan to realize low power consumption for a liquid crystal display device.

SOLUTION: In the data latching circuit of a liquid crystal driving circuit, digital input data are compared with a comparison reference voltage ref in the sampling period of a sampling pulse spx in a comparator part 31 in which a PMOS differential amplifier circuit 34 is used to be converted into data being a VDD (power source voltage) level and the data are latched in the non-selection period of the sampling pulse spx in a first data latching part (1) 32 and, moreover, the latched data are made so as to be held for a 1 H (horizontal period) line in a second data latching part (2) 33.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-184440

(43)公開日 平成11年(1999)7月9日

(51)Int.Cl.⁶
G09G 3/36
G02F 1/133

識別記号
505

F I
G09G 3/36
G02F 1/133

505

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21)出願番号 特願平9-356577

(22)出願日 平成9年(1997)12月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72)発明者 前川 敏一

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

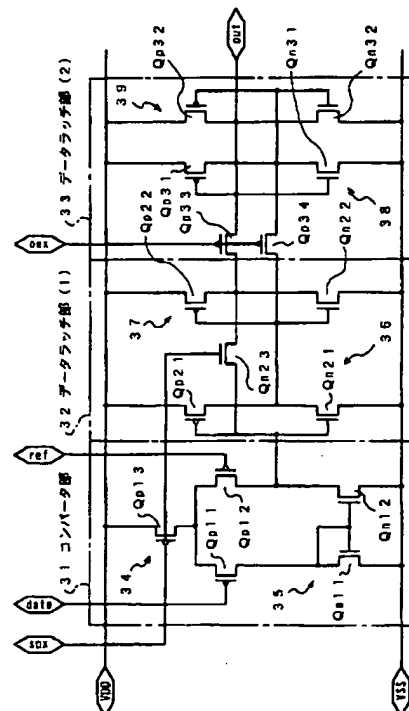
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 液晶表示装置の駆動回路

(57)【要約】

【課題】 $V_{DD} > 1.3V$ 等で使用する場合には消費電力が大きく、かつ入力するタイミング系にも高電圧が必要であるため、2.7V系の入力電圧を1.3V系に昇圧する必要がある。

【解決手段】 液晶駆動回路のデータラッチ回路において、PMOS差動増幅回路34を用いたコンパレータ部31でサンプリングパルス spx のサンプリング期間に、デジタル入力データ $data$ を比較基準電圧 ref と比較することによって V_{DD} レベルのデータに変換し、そのデータをサンプリングパルス spx の非サンプリング期間に第1のデータラッチ部(1)32でラッチし、さらにそのラッチデータを第2のデータラッチ部(2)33で1Hラインホールドするようにする。



【特許請求の範囲】

【請求項 1】 水平走査に基づいて生成されるサンプリングパルスにตอบสนองしてデジタル入力データをラッチするデータラッチ回路を有する液晶表示装置の駆動回路において、

前記データラッチ回路は、

前記デジタル入力データを被比較入力とし、所定の比較基準電圧を比較入力とする PMOS 差動回路を有し、前記サンプリングパルスのサンプリング期間に比較動作を行うコンパレータ部と、

前記サンプリングパルスの非サンプリング期間に前記コンパレータ部の出力をラッチする第 1 のデータラッチ部と、

1 水平期間内にある出力イネーブルパルスにตอบสนองして前記第 1 のデータラッチ部の出力データをラッチする第 2 のデータラッチ部とを備えていることを特徴とする液晶表示装置の駆動回路。

【請求項 2】 前記コンパレータ部は、前記 PMOS 差動回路の能動負荷となる NMOS カレントミラー回路と、前記 PMOS 差動回路のソース側に設けられて前記サンプリングパルスのサンプリング期間に動作状態となる電流源とを有することを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 3】 前記第 1 のデータラッチ部は、前記コンパレータ部の出力端に輸入端が接続された第 1 のインバータと、前記第 1 のインバータの出力端に輸入端が接続された第 2 のインバータと、前記第 1 のインバータの輸入端と前記第 2 のインバータの出力端の間に接続され、前記サンプリングパルスの非サンプリング期間にオン状態となるスイッチ素子とを有することを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 4】 前記第 2 のデータラッチ部は、前記出力イネーブルパルスにตอบสนองして前記第 1 のデータラッチ部の出力データを転送する転送スイッチと、前記転送スイッチの出力端に輸入端が接続された第 1 のインバータと、前記第 1 のインバータの出力端に輸入端が、前記第 1 のインバータの輸入端に出力端がそれぞれ接続された第 2 のインバータとを有することを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 5】 前記第 2 のデータラッチ部の第 1、第 2 のインバータは、前記第 1 のデータラッチ部の第 1、第 2 のインバータよりも相互コンダクタンスが小さく設定されていることを特徴とする請求項 4 記載の液晶表示装置の駆動回路。

【請求項 6】 前記所定の比較基準電圧は、前記デジタル入力データの低レベル側電圧と高レベル側電圧の間に設定されていることを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置（以下、LCD (Liquid Crystal Display) と称す）の駆動回路に関し、特に水平走査に基づいて生成されるサンプリングパルスにตอบสนองしてデジタル入力データをラッチするデータラッチ回路を有するマトリクス型 LCD の駆動回路に関する。

【0002】

【従来の技術】駆動回路系がポリシリコン TFT (Thin Film Transistor; 薄膜トランジスタ) で画素（液晶）系と一体的に形成されるいわゆる駆動回路一体型 LCD を作る場合、ポリシリコン TFT の諸特性が結晶シリコンよりも劣るため、どうしても高い電源電圧やクロックパルス電圧が必要となっているのが現状である。代表的には、電源電圧 VDD が $VDD > 1.3V$ である。

【0003】

【発明が解決しようとする課題】現在、低消費電力のモバイルコンピュータの開発、商品化が活発であるが、この用途での必要条件は低消費電力化である。しかし、先述したように、 $VDD > 1.3V$ 等で使用する場合には消費電力が大きく、かつ入力するタイミング系にも高電圧が必要であるため、LCD パネル外部若しくは内部で TTL レベル若しくは 2.7V 系の入力電圧を 1.3V 系に昇圧する必要がある。したがって、昇圧回路を用いることに伴って、システム構成面でも回路規模・消費電力が増大するばかりでなく、不要輻射も問題となる。

【0004】一方、液晶駆動法で一般に知られているコモン反転駆動法を用いると、駆動回路系は 5V 程度のダイナミックレンジで済むことになる。ここに、コモン反転駆動法とは、入力信号と逆相に対向電極を振ることによって実効的な外部からの入力ビデオ信号を約 $1/2$ に低減できる駆動法を言う。モバイル LCD の低消費電力化のためには、このコモン反転駆動法が有力なのであるが、駆動回路系がデバイス実力の観点から低消費電力 LCD への展開にとっては大きな阻害要因となっている。

【0005】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、液晶表示装置の低消費電力化に寄与し得る駆動回路を提供することにある。

【0006】

【課題を解決するための手段】本発明による液晶表示装置の駆動回路は、水平走査に基づいて生成されるサンプリングパルスにตอบสนองしてデジタル入力データをラッチするデータラッチ回路を有し、このデータラッチ回路が、デジタル入力データを被比較入力とし、所定の比較基準電圧を比較入力とする PMOS 差動回路を有し、サンプリングパルスのサンプリング期間に比較動作を行うコンパレータ部と、サンプリングパルスの非サンプリング期間にコンパレータ部の出力をラッチする第 1 のデータラッチ部と、1 水平期間内にある出力イネーブルパルスにตอบสนองして第 1 のデータラッチ部の出力データをラッチする第 2 のデータラッチ部とを備えている。

【0007】上記構成の液晶表示装置の駆動回路において、コンパレータ部は、PMOS差動回路を用いてデジタル入力データを比較基準電圧と比較することで、例えば2.7V系のデジタル入力データを電源電圧レベルのデータに変換する。このデータは、サンプリングパルスの非サンプリング期間に第1のデータラッチ部にラッチされる。そして、第2のラッチデータ部は、第1のデータラッチ部でラッチされたデータを1H（1水平期間）ラインホールドする。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明が適用されるアクティブマトリクス型LCDの一般的な構成例を示す概略構成図である。

【0009】図1において、複数行分のゲートバスライン11の各々と複数列分の信号ライン（ソースライン）12の各々の交差部には、複数個の画素13が行列状に2次元配置されている。これら画素13の各々は、ゲートバスライン11にゲート電極が、信号ライン12にソース電極がそれぞれ接続されたTFT（薄膜トランジスタ）14と、このTFT14のドレイン電極に画素電極が接続された液晶セル15と、当該ドレイン電極に一方の電極が接続された補助容量16とから構成されている。補助容量16の他方の電極にはコモン電圧Vcomが印加される。

【0010】複数個の画素13の各々は、列単位で選択して駆動するためのソースドライバ（水平駆動回路）17および行単位で選択して駆動するためのスキンドライバ（垂直駆動回路）18によって駆動される。このソースドライバ7およびスキンドライバ18は、水平方向および垂直方向に順次走査するための走査回路を内蔵しており、この走査回路としてシフトレジスタが用いられる。

【0011】図2は、デジタルインターフェース型のソースドライバの一例を示す構成図である。このデジタルインターフェース型ソースドライバは、アドレスパルスであるデータラッチパルスを順次出力する水平シフトレジスタ21と、入力されるデジタルデータを水平シフトレジスタ21から順次出力されるデータラッチパルスに同期してラッチするデータラッチ回路22と、このデータラッチ回路22にラッチされたデータをデコードし、信号ライン12に出力するデコーダ回路23とから構成されている。

【0012】上述したことから明らかなように、デジタルインターフェース型のソースドライバの場合には、入力されるデジタルデータを1ライン分ラッチし、この1ライン分のデータを一斉に出力するためのデータラッチ回路22を必要とする。本発明に係るデータラッチ回路は、このデータラッチ回路22として用いて好適なものである。

【0013】図4は、本発明の第1実施形態を示す回路図である。本実施形態においては、主として、電源電圧は5V系、入力データは2.7V系を対象としたデジタルインターフェース回路内蔵のLCDの主要構成要素であるデータラッチ回路を想定している。

【0014】この第1実施形態に係るデータラッチ回路は、入力データdataをある比較基準電圧refと比較するコンパレータ部31と、このコンパレータ部31の出力データをラッチするデータラッチ部（1）32と、このデータラッチ部（1）32の出力データを1ラインホールドするデータラッチ部（2）33の3ブロックからなっている。以下、各ブロックごとに、その具体的な回路構成の一例について説明する。

【0015】まず、コンパレータ部31は、各ソースが共通に接続されて差動動作をなす差動対PMOSTランジスタQp11、Qp12と、これら差動対PMOSTランジスタQp11、Qp12のソース共通接続点と正電源VDDの間に接続された電流源であるPMOSTランジスタQp13とからなるPMOS差動増幅回路34を有している。この差動増幅回路34において、PMOSTランジスタQp11は入力データdataを、PMOSTランジスタQp12は比較基準電圧refをそれぞれゲート入力とする。

【0016】ここで、比較基準電圧refは、2.7V系のデジタル入力データdataを識別するために、0V-2.7V間の例えば中間レベルに設定される。この比較基準電圧refは固定であっても良く、また外部からデジタル入力データのレベルに応じて調整可能としても良い。PMOSTランジスタQp13は、図2の水平シフトレジスタ21から供給されるデータサンプリングパルス（データラッチパルス）spkをゲート入力とする。この差動増幅回路34は、NMOSカレントミラー回路35を能動負荷としている。

【0017】すなわち、PMOSTランジスタQp11のドレインと負電源VSSの間に、ゲートとドレインが共通に接続されたダイオード接続のNMOSTランジスタQn11が接続され、PMOSTランジスタQp12のドレインと負電源VSSの間に、NMOSTランジスタQn11とゲートが共通に接続されたNMOSTランジスタQn12が接続され、これらPMOSTランジスタQp11、Qp12によってNMOSカレントミラー回路35が構成されている。

【0018】データラッチ部（1）32は、正電源VDDと負電源VSSの間に接続されたPMOSTランジスタQp21およびNMOSTランジスタQn21からなるCMOSインバータ36と、同様に正電源VDDと負電源VSSの間に接続されたPMOSTランジスタQp22およびNMOSTランジスタQn22からなるCMOSインバータ37と、スイッチ素子であるNMOSTランジスタQn13とを有する構成となっている。

【0019】このデータラッチ部(1)32において、CMOSインバータ36の入力端であるPMOSトランジスタQp21およびNMOSトランジスタQn21のゲート共通接続点が、CMOSインバータ37の出力端であるPMOSトランジスタQp22およびNMOSトランジスタQn22のドレイン共通接続点に、NMOSトランジスタQn23を介して接続されている。そして、NMOSトランジスタQn23のゲートには、図2の水平シフトレジスタ21から供給されるデータラッチパルス spx が与えられる。

【0020】また、CMOSインバータ37の入力端であるPMOSトランジスタQp22およびNMOSトランジスタQn22のゲート共通接続点が、CMOSインバータ36の出力端であるPMOSトランジスタQp21およびNMOSトランジスタQn21のドレイン共通接続点に接続されている。すなわち、このデータラッチ部(1)32は、CMOSインバータ36、37がNMOSトランジスタQn23を介してループ状に接続された構成となっている。

【0021】データラッチ部(2)33は、正電源VDDと負電源VSSの間に接続されたPMOSトランジスタQp31およびNMOSトランジスタQn31からなるCMOSインバータ38と、同様に正電源VDDと負電源VSSの間に接続されたPMOSトランジスタQp32およびNMOSトランジスタQn32からなるCMOSインバータ39と、データラッチ部(1)32の互いに逆相のラッチデータを取り込むPMOSトランジスタQp33、Qp34とを有する構成となっている。

【0022】このデータラッチ部(2)33において、CMOSインバータ38の入力端であるPMOSトランジスタQp31およびNMOSトランジスタQn31のゲート共通接続点が、CMOSインバータ39の出力端であるPMOSトランジスタQp32およびNMOSトランジスタQn32のドレイン共通接続点に接続され、またCMOSインバータ39の入力端であるPMOSトランジスタQp32およびNMOSトランジスタQn32のゲート共通接続点が、CMOSインバータ38の出力端であるPMOSトランジスタQp31およびNMOSトランジスタQn31のドレイン共通接続点に接続されている。

【0023】すなわち、データラッチ部(2)33は、CMOSインバータ38、39がループ状に接続された構成となっており、CMOSインバータ38、39の相互コンダクタンス gm が、データラッチ部(1)32のCMOSインバータ36、37の相互コンダクタンス gm よりも小さく設定されている。これにより、データラッチ部(2)33のデータを、データラッチ部(1)32のデータにより確実に書き換えることができる。

【0024】また、PMOSトランジスタQp33、Qp34の各ゲートには、出力イネーブルパルス(転送パ

ルス) oex が印加される。そして、CMOSインバータ38の入力端とCMOSインバータ39の出力端の共通接続点から、最終的なラッチデータ out が1ラインごとに出力されるようになっている。

【0025】次に、上記構成の第1実施形態に係るデータラッチ回路の回路動作について、図4のタイミングチャートを用いて説明する。同図において、 spx はアクティブLowのデータサンプリングパルス、 $data$ は2.7V系のデジタル入力データ、 ref は入力データ $data$ に対する比較基準電圧、 oex は1H内のパルスであって、1H期間のデータラッチ部(2)33への転送パルス(出力イネーブルパルス)、 $latch1$ out はデータラッチ部(1)32の出力、 $latch2$ out はデータラッチ部(2)33の出力である。

【0026】入力データ $data$ は、データサンプリングパルス spx が低レベル(以下、“L”レベルと称す)の期間に、コンパレータ部31において比較基準電圧 ref に対して高いか低いかの比較が行われる。そして、データサンプリングパルス spx が“L”レベルの期間は、データラッチ部(1)32は、NMOSトランジスタQn23がオフ状態となり、CMOSインバータ36、37が縦続接続されるため、2段のインバータによるバッファの機能を持つ。

【0027】一方、データサンプリングパルス spx が高レベル(以下、“H”レベルと称す)の期間は、データラッチ部(1)32は、NMOSトランジスタQn23がオン状態となるため、CMOSインバータ36、37がループ状に接続された構成となり、コンパレータ部31の出力をラッチする。そして、転送パルス oex が“H”レベルから“L”レベルに遷移すると、データラッチ部(2)33において、PMOSトランジスタQp33、Qp34がオン状態となるため、データラッチ部(1)32のラッチ出力 $latch1$ out を取り込んで1Hラインホールドする。

【0028】図5に、シミュレーション結果を示す。このシミュレーション結果から明らかなように、2.7V系のデジタル入力データ $data$ は、PMOS差動増幅回路34を有するコンパレータ部31で比較基準電圧 ref と比較されることにより、5V系のデータに変換されてデータラッチ部(1)32およびデータラッチ部(2)33でラッチされ、出力 out として導出されることになる。

【0029】これにより、コモン反転駆動法との組み合わせによって低電源電圧(例えば、5V系)、低電圧入力信号(例えば、2.7V系)でデータラッチ回路を構成できるので、低消費電力化が可能になるとともに、外部タイミングICとダイレクトインターフェースが可能となり、システムが簡単になる。また、不要輻射を低減でき、セット設計が容易になる。特に、本実施形態の場

合には、データラッチ部(1)32のスイッチ素子としてNMOSトランジスタQn23を用いたことで、サンプリングパルスとしてデータサンプリングパルス s_{px} を共用できる利点がある。

【0030】なお、転送パルス(出力イネーブルパルス) o_{ex} が2.7V系のような電源電圧(本例では、5V)に対してかなり低い場合は、本実施形態のように、データラッチ部(2)33の入力段の2つの転送スイッチとしてPMOSを用いることになるが、転送パルス o_{ex} が電源電圧に近い場合には、NMOSでも、PMOSでも、CMOSでも可能である。

【0031】図6に、データラッチ部(2)33の入力段の2つの転送スイッチとしてNMOSを用いた場合の変形例を示す。同図において、図3と同等部分には同一符号を付して示している。この変形例に係るデータラッチ回路では、データラッチ部(2)33において、2つの転送スイッチとしてNMOSトランジスタQn33、Qn34を用い、これらの各ゲートに転送パルス o_{ex} と逆極性の転送パルス o_e を印加する構成となっている。すなわち、転送スイッチとして、第1実施形態と逆導電型のMOSトランジスタを用いたものであり、基本的な回路動作は、第1実施形態の場合と同じである。

【0032】図7は、本発明の第2実施形態を示す回路図である。本実施形態においても、第1実施形態の場合と同様に、主として、電源電圧は5V系、入力データは2.7V系を対象としたデジタルインターフェース回路内蔵のLCDの主要構成要素であるデータラッチ回路を想定している。

【0033】この第2実施形態に係るデータラッチ回路も、第1実施形態に係るデータラッチ回路と同様に、入力データ $data$ をある比較基準電圧 ref と比較するコンパレータ部41と、このコンパレータ部41の出力データをラッチするデータラッチ部(1)42と、このデータラッチ部(1)42の出力データを1ラインホールドするデータラッチ部(2)43の3ブロックからなっている。以下、各ブロックごとに、その具体的な回路構成の一例について説明する。

【0034】まず、コンパレータ部41は、各ソースが共通に接続されて差動動作をなす差動対PMOSトランジスタQp41、Qp42と、これら差動対PMOSトランジスタQp41、Qp42のソース共通接続点と正電源VDDの間に接続された電流源であるPMOSトランジスタQp43とからなるPMOS差動増幅回路44を有している。この差動増幅回路44において、PMOSトランジスタQp41は入力データ $data$ を、PMOSトランジスタQp42は比較基準電圧 ref をそれぞれゲート入力とする。

【0035】ここで、比較基準電圧 ref は、2.7V系のデジタル入力データ $data$ を識別するために、0V〜2.7V間の例えば中間レベルに設定される。こ

の比較基準電圧 ref は、固定であっても良く、また外部からデジタル入力データのレベルに応じて調整可能としても良い。PMOSトランジスタQp43は、図2の水平シフトレジスタ21から供給されるデータサンプリングパルス(データラッチパルス) s_{px1} をゲート入力とする。この差動増幅回路44は、NMOSカレントミラー回路45を能動負荷としている。

【0036】すなわち、PMOSトランジスタQp41のドレインと負電源VSSの間に、ゲートとドレインが共通に接続されたダイオード接続のNMOSトランジスタQn41が接続され、PMOSトランジスタQp42のドレインと負電源VSSの間に、NMOSトランジスタQn41とゲートが共通に接続されたNMOSトランジスタQn42が接続され、これらPMOSトランジスタQp41、Qp42によってNMOSカレントミラー回路45が構成されている。

【0037】データラッチ部(1)42は、正電源VDDと負電源VSSの間に接続されたPMOSトランジスタQp51およびNMOSトランジスタQn51からなるCMOSインバータ46と、同様に正電源VDDと負電源VSSの間に接続されたPMOSトランジスタQp52およびNMOSトランジスタQn52からなるCMOSインバータ47と、スイッチ素子であるNMOSトランジスタQn53とを有する構成となっている。

【0038】このデータラッチ部(1)42において、CMOSインバータ46の入力端であるPMOSトランジスタQp51およびNMOSトランジスタQn51のゲート共通接続点が、CMOSインバータ47の出力端であるPMOSトランジスタQp52およびNMOSトランジスタQn52のドレイン共通接続点に、NMOSトランジスタQn53を介して接続されている。

【0039】そして、NMOSトランジスタQn53のゲートには、データラッチパルス s_{px1} に基づいて生成されるデータラッチパルス s_{px2} が与えられる。このデータラッチパルス s_{px2} は、図8のタイミングチャートに示すように、“L”レベルのパルス間隔がデータラッチパルス s_{px1} のパルス間隔よりも広い、即ち“L”レベルから“H”レベルへの遷移タイミングが、データラッチパルス s_{px1} の遷移タイミングよりも遅い波形となるように、データラッチパルス s_{px1} を基準に生成される。

【0040】また、CMOSインバータ47の入力端であるPMOSトランジスタQp52およびNMOSトランジスタQn52のゲート共通接続点が、CMOSインバータ46の出力端であるPMOSトランジスタQp51およびNMOSトランジスタQn51のドレイン共通接続点に接続されている。すなわち、このデータラッチ部(1)42は、CMOSインバータ46、47がNMOSトランジスタQn53を介してループ状に接続された構成となっている。

【0041】データラッチ部(2)43は、正電源VDDと負電源VSSの間に接続されたPMOSトランジスタQp61およびNMOSトランジスタQn61からなるCMOSインバータ48と、同様に正電源VDDと負電源VSSの間に接続されたPMOSトランジスタQp62およびNMOSトランジスタQn62からなるCMOSインバータ49と、データラッチ部(1)42の互いに逆相のラッチデータを取り込むPMOSトランジスタQp63、Qp64とを有する構成となっている。

【0042】このデータラッチ部(2)43において、CMOSインバータ48の入力端であるPMOSトランジスタQp61およびNMOSトランジスタQn61のゲート共通接続点が、CMOSインバータ49の出力端であるPMOSトランジスタQp62およびNMOSトランジスタQn62のドレイン共通接続点に接続され、またCMOSインバータ49の入力端であるPMOSトランジスタQp62およびNMOSトランジスタQn62のゲート共通接続点が、CMOSインバータ48の出力端であるPMOSトランジスタQp61およびNMOSトランジスタQn61のドレイン共通接続点に接続されている。

【0043】すなわち、データラッチ部(2)43は、CMOSインバータ68、69がループ状に接続された構成となっており、CMOSインバータ68、69の相互コンダクタンスgmが、データラッチ部(1)42のCMOSインバータ66、67の相互コンダクタンスgmよりも小さく設定されている。これにより、データラッチ部(2)43のデータを、データラッチ部(1)42のデータにより確実に書き換えることができる。

【0044】また、PMOSトランジスタQp63、Qp64の各ゲートには、出力カインープルパルス(転送パルス)osexが印加される。そして、CMOSインバータ48の入力端とCMOSインバータ49の出力端の共通接続点から、最終的なラッチデータoutが1ラインごとに出力されるようになっている。

【0045】上記構成の第2実施形態に係るデータラッチ回路においては、データラッチ部(1)42のNMOSトランジスタQn53に、データラッチパルスsp1と異なるデータラッチパルスsp2を印加するようにした点でのみ、第1実施形態に係るデータラッチ回路と相違しており、したがって基本的な回路動作は第1実施形態の場合と同じである。

【0046】この第2実施形態によれば、第1実施形態での効果に加え、サンプリングパルスデータ(ラッチパルスsp1)とラッチパルス(ラッチパルスsp2)を2系統に分け、ラッチパルスsp2の“L”レベルから“H”レベルへの遷移タイミングを、データラッチパルスsp1の遷移タイミングよりも遅く設定するようにしたことで、ラッチのタイミングを延ばすことができるため、データラッチのマージンを拡大できるこ

とになる。

【0047】図9は、第2実施形態の変形例を示す回路図であり、図中、図7と同等部分には同一符号を付して示している。この変形例に係るデータラッチ回路では、データラッチ部(2)42において、CMOSインバータ46の入力端とCMOSインバータ47の出力端との間に介在するスイッチ素子としてPMOSトランジスタQp53を用い、そのゲートにデータラッチパルスsp2と逆極性のデータラッチパルスsp2を印加する構成となっている。なお、CMOSを用いることも可能である。

【0048】また、図示するのは省略するが、第1実施形態の変形例の場合と同様に、データラッチ部(2)43において、その入力段の2つのPMOSトランジスタQp63、Qp64に代えてNMOSトランジスタを用い、これらの各ゲートに転送パルスosexと逆極性の転送パルスoeを印加するように構成することも可能である。いずれの変形例の場合にも、基本的な回路動作は、第2実施形態の場合と同じである。

【0049】なお、上記各実施形態では、駆動回路系をポリシリコンTFTで画素系と一体的に形成する駆動回路一体型LCDに適用するとしたが、別体型LCDにも同様に適用可能である。また、構成するトランジスタは、ポリシリコン、結晶シリコンのいずれでも可能である。さらに、Bulkシリコンでも、絶縁層上のTFTでも構成は可能である。特にTFTでは、基板バイアス効果により|Vth|の上昇がないため、低電圧駆動には好適と言える。

【0050】

【発明の効果】以上説明したように、本発明によれば、PMOS差動回路を用いてデジタル入力データを比較基準電圧と比較することによって電源電圧レベルのデータに変換し、そのデータをサンプリングパルスの非サンプリング期間にラッチし、さらにそのラッチデータを1Hラインホールドするようにしたことにより、低電源電圧(例えば、5V系)、低電圧データ信号(例えば、2.7V系)でデータラッチ回路を構成できるので、液晶表示装置の低消費電力化が図れる。

【図面の簡単な説明】

【図1】本発明が適用されるアクティブマトリクス型LCDの一般的な構成例を示す概略構成図である。

【図2】デジタルインターフェース型のソースドライバの一例を示す構成図である。

【図3】本発明の第1実施形態を示す回路図である。

【図4】図3の回路動作を説明するためのタイミングチャートである。

【図5】本実施形態に係るシミュレーション結果を示す波形図である。

【図6】第1実施形態の変形例を示す回路図である。

【図7】本発明の第2実施形態を示す回路図である。

【図8】第2実施形態に係るタイミングチャートである。

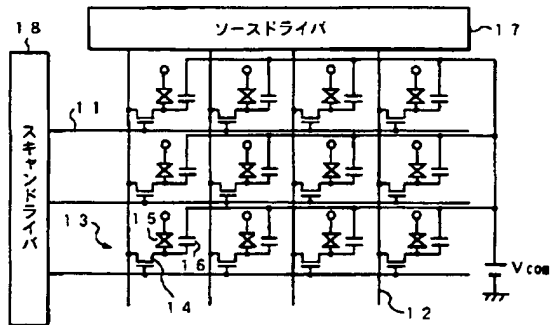
【図9】第2実施形態の変形例を示す回路図である。

【符号の説明】

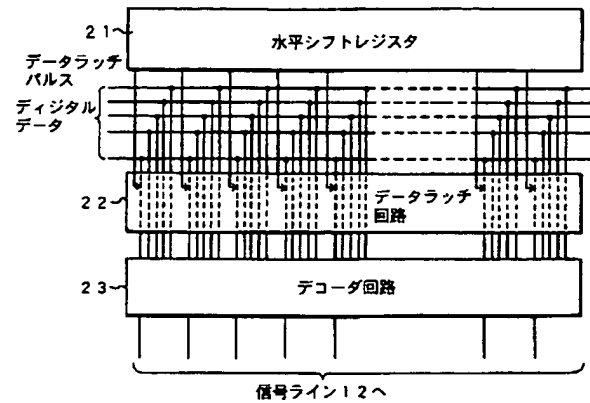
11…ゲートバスライン、12…信号ライン（ソースライン）、13…画素、14…TFT（薄膜トランジスタ）、15…液晶セル、17…ソースドライバ、18…

スキャンドライバ、21…水平シフトレジスタ、22…データラッチ回路、23…デコーダ回路、31、41…コンパレータ部、32、42…データラッチ部（1）、33、43…データラッチ部（2）、34、44…PMOS差動増幅回路、35、45…NMOSカレントミラ回路、36～39、46～49…CMOSインバータ

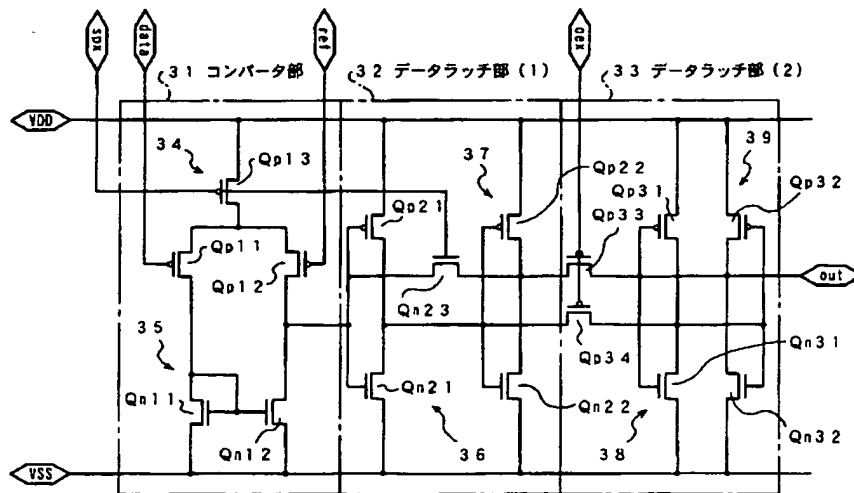
【図1】



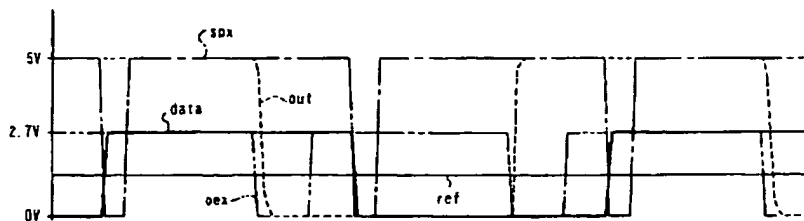
【図2】



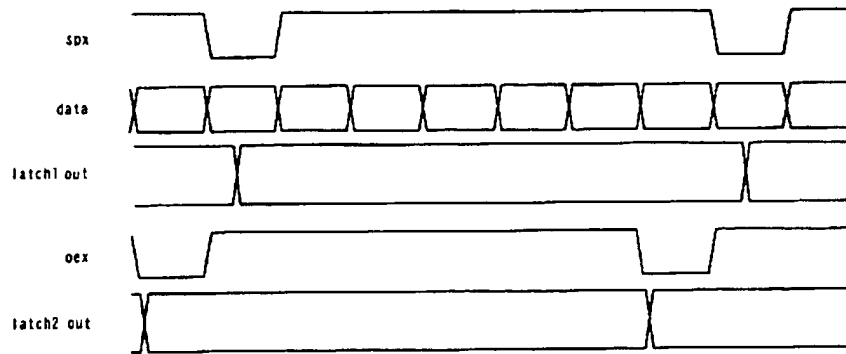
【図3】



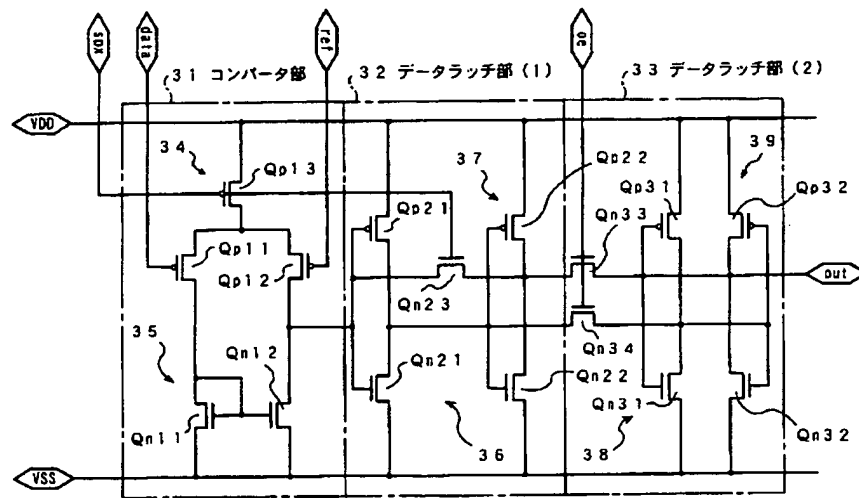
【図5】



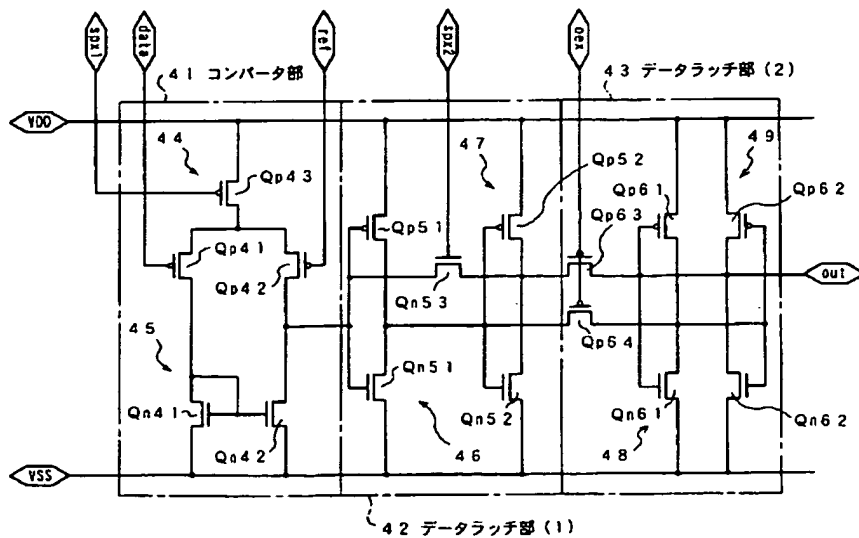
【図 4】



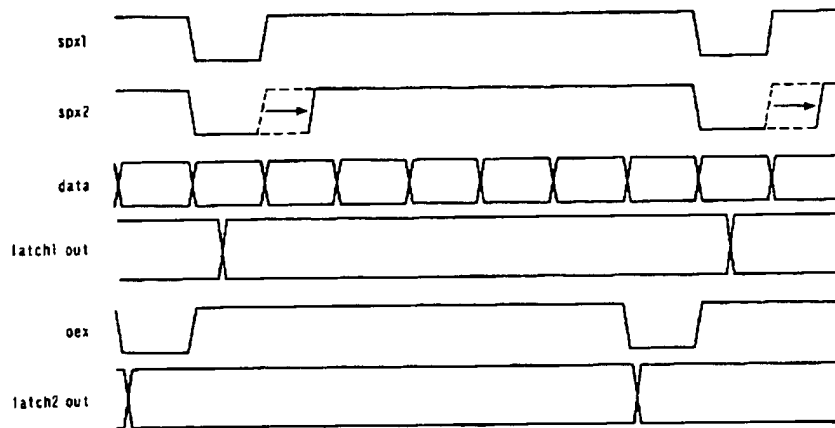
【図 6】



【図 7】



【図 8】



【図 9】

